

# BUNDESREPUBLIK DEUTSCHLAND

## PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 27 OCT 2003

WIPO PCT

### Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 44 977.5

**Anmeldetag:** 26. September 2002

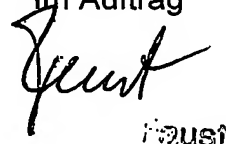
**Anmelder/Inhaber:** Siemens Aktiengesellschaft, München/DE

**Bezeichnung:** Beschleunigung der Programmierung eines Speicherbausteins mit Hilfe eines Boundary Scan (BSCAN)-Registers

**IPC:** G 11 C 16/10

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 13. Oktober 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

  
Faust

## Beschreibung

Beschleunigung der Programmierung eines Speicherbausteins mit Hilfe eines Boundary Scan (BSCAN)-Registers

5

Die zugrunde liegende Erfindung basiert auf einem Verfahren und einer Steuereinheit zur Programmierung eines Speicherbausteins durch Stimulierung einzelner seiner Steuersignal-, Daten- und/oder Adresseingänge über interne Speicherzellen eines sogenannten Boundary Scan (BSCAN)-Registers, welches als integrierte Schaltung (IC bzw. ASIC) realisiert ist. Zur Aktivierung bzw. Deaktivierung einer Schreiboperation wird dabei ausschließlich der für die Generierung eines WRITE\_ENABLE-Signals zuständige Steuersignaleingang des Speicherbausteins angesteuert.

10

15

Boundary Scan (BSCAN) ist ein von der Joint Test Access Group (JTAG), einem 1988 ins Leben gerufenen Konsortium von mehr als 200 Unternehmen aus den Bereichen Halbleitertechnik,

20

Prüftechnik und Systemintegration, standardisiertes Verfahren für Boardtests, das 1990 formell als Industriestandard IEEE 1149.1 für Test Access Port (TAP)- und Boundary Scan (BSCAN)-Architekturen verabschiedet wurde. Auf dieser Spezifikation

25

basieren alle Verbindungstests auf Boardebene in der Produktion von komplexen Printed Circuit Boards (PCBs). Besitzt der Prüfling einen eigenen Mikroprozessor nebst Flash-basiertem Programmspeicher, kann ein Built-In Self Test beispielsweise durch Laden des Flash-Speichers via Boundary Scan mit Hilfe eines Selbsttestprogramms implementiert werden. Im Speicher

30

abgelegte Testresultate sind nach Beendigung des Testvorganges wiederum per Boundary Scan auslesbar.

IEEE 1149.1 verdrängt heute zunehmend herkömmliche In-Circuit Test (ICT)-Verfahren, da die Komplexität der zu testenden integrierten Halbleiterbauelemente (ASICs und FPGAs) steigt und demzufolge die Zugriffsmöglichkeit auf diese Komponenten zu Prüfzwecken durch Anbringung zusätzlicher Anschlussflächen (engl.: „Test Pads“) am Prüfling sich immer schwieriger gestaltet. So konnte bei Mikrochips in den letzten Jahrzehnten ein exponentieller Anstieg der Zahl der Anschlusspins bei immer kleiner werdendem Durchmesser beobachtet werden. Dieser Trend wurde durch die Einführung der Ball Gate Array (BGA)-Technologie, welche die Verlagerung der Anschlusspins auf die Chipunterseite mit sich brachte, noch weiter beschleunigt. Die Lösung bestand darin, herkömmliche Tests an Mikrochips, wie z.B. Unterbrechungs- oder Kurzschluss-tests, in die Chips selbst zu integrieren und einen als „Boundary“ bezeichneten Pfad zum Abtasten („Scannen“) der digitalen Information einzuplanen. Flexible Plattformen nach dem Peripheral Component Interconnect (PCI)- oder PCI Extensions for Instrumentation (PXI)-Standard gestatten heute die Erkennung von BSCAN-Controllern und BSCAN-Software sowie deren Integration in die jeweilige PCI- bzw. PXI-Plattform. Dadurch wird die Entwicklung komplexer Lösungen ermöglicht, die herkömmliche Funktionstests und BSCAN-basierte Tests in einer universellen Prüfplattform vereinen.

Zur Durchführung von Boundary Scan-Tests müssen zwei Bedingungen erfüllt sein: Zumindest einige der integrierten Schaltungen (ICs) auf der Platine müssen der Boundary Scan-Spezifikation entsprechen. Bei der Prüfung wird dann mit Hilfe von Testvektoren ein BSCAN-Register dazu veranlasst, den gewünschten Test auszuführen. Darüber hinaus müssen die Produktentwickler einen Scanpfad zwischen den einzelnen ICs zur Verfügung stellen, der von einem Test Access Port (TAP) durch

die ICs hindurch wieder zurück zum TAP führt, wo die Daten schließlich abgetastet werden. Beim Prüfen von elektrischen Anschlüssen stellen Boundary Scan-Tests eine ausgezeichnete Alternative zu In-Circuit-Tests (ICTs) dar. Die Kosten für die Durchführung der Funktionsprüfung sind niedrig, und aufgrund der zunehmenden Integration und Miniaturisierung von Geräten ist anzunehmen, dass sich der Trend hin zu Boundary Scan weiter fortsetzen wird.

10 Wurde das Boundary Scan-Verfahren gemäß IEEE 1149.1 bisher vor allem als innovative Technologie zur Funktionsprüfung integrierter Schaltungen bzw. zur Verifikation und Simulation von Hardwarefehlfunktionen verwendet, zeigen die jüngsten Entwicklungen weitere Einsatzmöglichkeiten dieses Prinzips auf. Neben der Nutzung zu Testzwecken wird Boundary Scan auch sehr effektiv für die In-System-Programmierung von Flash-Speichern sowie Programmable Logic Device (PLD)-Bausteinen, wie z.B. Field Programmable Gate Arrays (FPGAs) mit bis zu 10.000 Logik-Gattern pro Array oder Programmable Logic Arrays (PLAs), eingesetzt. Dabei werden die einzelnen Steuer- und Adress-Eingänge eines Flash-Speichers über die diesen Eingängen zugeordneten, miteinander verketteten BSCAN-Zellen eines BSCAN-Registers derart stimuliert, dass wahlweise eine Lese- oder Schreiboperation ausgelöst wird. Wie aus der in Fig. 1 abgebildeten Prinzipskizze zu entnehmen ist, können die Daten dabei von den entsprechenden BSCAN-Zellen ausgegeben oder erfasst werden.

Fig. 3 gibt Aufschluss über die erforderlichen Schritte, die über den TAP-Controller bei einer Schreib- oder Programmier-Operation ausgelöst werden müssen. In einem ersten Schritt werden die Adressen, Daten und ein Chip Select (CS)-Signal ausgegeben. Danach wird das WRITE-Signal in einem zweiten

Schritt aktiviert, wobei sich an den anderen Signalen nichts ändert. Schließlich wird in einem dritten Schritt das WRITE-Signal ohne Änderung der restlichen Signale deaktiviert.

- 5 Das Problem ist, dass durch dieses Verfahren die Programmierung sehr zeitaufwendig wird, da für eine Schreiboperation drei Zyklen des gesamten BSCAN-Registers erforderlich sind.

10 Herkömmliche Verfahren nach dem Stand der Technik lösen dieses Problem entweder durch eine Verkürzung der BSCAN-Kette oder durch direktes Ansteuern des WRITE-Eingangs:

- 15 a) Da die Programmierzeit von der Länge der BSCAN-Kette abhängt, kann im ersteren Fall die Programmierung beschleunigt werden, indem man die Kette auf die für die Flash-Programmierung erforderlichen BSCAN-Zellen reduziert und mit einer eigenen Instruktion (SHORTEX) anstelle der üblichen Instruktion (EXTEST) aktiviert.

- 20 b) Im letzteren Fall kann mit Hilfe eines zusätzlichen Signals, das über den im IEEE 1149.1 Standard definierten TAP-Controller hinausgeht, der Flash-Speicher direkt stimuliert werden. Voraussetzung ist, dass das Test- oder Programmier-Equipment die Ansteuerung eines zusätzlichen  
25 Signals unterstützt und ein zusätzlicher Pin auf der Baugruppe für diese als Steckverbindung ausgebildete Schnittstelle vorgeleistet wird.

#### AUFGABE DER VORLIEGENDEN ERFINDUNG

30

Ausgehend von dem oben genannten Stand der Technik, widmet sich die vorliegende Erfindung der Aufgabe, ein Verfahren zur Programmierung eines Speicherbausteins durch Stimulierung

einzelner seiner Steuersignal- und/oder Adresseingänge über Speicherzellen eines BSCAN-Registers zwecks Generierung eines WRITE\_ENABLE-Signals zur Aktivierung bzw. Deaktivierung einer Schreiboperation bereitzustellen, mit dessen Hilfe die für die Programmierung des Speicherbausteins benötigte Zeitdauer entscheidend verkürzt werden kann.

Diese Aufgabe wird erfindungsgemäß durch die Merkmale der unabhängigen Patentansprüche gelöst. Vorteilhafte Ausführungsbeispiele, die den Gedanken der Erfindung weiterbilden, sind in den abhängigen Patentansprüchen definiert.

#### ZUSAMMENFASSENDE DARSTELLUNG DER VORLIEGENDEN ERFINDUNG

Im Rahmen der erfindungsgemäßen Lösung ist - entsprechend der im vorangehenden Abschnitt definierten Aufgabe - ein Verfahren sowie eine Steuereinheit zur Programmierung eines Speicherbausteins durch Stimulierung einzelner seiner Steuersignal-, Daten- und/oder Adresseingänge über interne Speicherzellen eines Boundary Scan (BSCAN)-Registers vorgesehen, welches als anwendungsspezifische integrierte Schaltung (ASIC) realisiert ist. Zur Aktivierung bzw. Deaktivierung einer Schreiboperation wird dabei ausschließlich der für die Generierung eines WRITE\_ENABLE-Signals zuständige Steuersignaleingang des Speicherbausteins angesteuert.

Durch eine Modifikation des TAP-Controllers sowie der BSCAN-Zelle, die das WRITE\_ENABLE-Signal am WR-Eingang des Flash-Speichers stimuliert, kann die Flash-Programmierung wesentlich beschleunigt werden, ohne dabei die TAP-Schnittstelle auf Board- und Equipment-Ebene erweitern zu müssen.

## KURZBESCHREIBUNG DER ZEICHNUNGEN

Weitere Eigenschaften, Merkmale, Vorteile und Anwendungen der zugrunde liegenden Erfindung resultieren aus den untergeordneten abhängigen Patentansprüchen sowie aus der folgenden Beschreibung zweier Ausführungsbeispiele der Erfindung, welche in Fig. 2, 4 und 5 abgebildet sind. Dabei zeigen

Fig. 1 die Prinzipskizze einer Schaltungsanordnung zur Durchführung eines Boundary Scan (BSCAN)-Verfahrens zwecks Programmierung eines programmierbaren Flash-EPROMs nach dem Stand der Technik,

Fig. 2 eine erweiterte Prinzipskizze der Schaltungsanordnung zur Durchführung eines BSCAN-Verfahrens zwecks Programmierung eines programmierbaren Flash-EPROMs nach dem Stand der Technik mit Hilfe eines Test Access Port (TAP)-Controllers,

Fig. 3 die Instruktionssequenz einer FLASH WRITE-Operation zur Programmierung eines programmierbaren Flash-EPROMs mit Hilfe eines BSCAN-Registers ohne Zeiteinsparung nach dem Stand der Technik,

Fig. 4 eine erste Variante der Instruktionssequenz einer FLASH WRITE-Operation zur Programmierung eines programmierbaren Flash-EPROMs mit Hilfe eines BSCAN-Registers mit Zeiteinsparung durch Zugriff über zwei spezielle Instruktionen gemäß der zugrunde liegenden Erfindung und

Fig. 5 eine zweite Variante der Instruktionssequenz einer FLASH WRITE-Operation zur Programmierung eines pro-

grammierbaren Flash-EPROMs mit Hilfe eines BSCAN-Registers mit Zeiteinsparung durch Zugriff über ein festes (ggf. programmierbares) Timing des TAP-Controllers gemäß der zugrunde liegenden Erfindung.

#### DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

5 Im Folgenden soll die Idee der erfindungsgemäßen Lösung anhand der in Fig. 2, 4 und 5 abgebildeten Ausführungsbeispiele näher erläutert werden. Die Bedeutung der mit Bezugszeichen versehenen Symbole in Fig. 1 bis 4 kann der beigefügten Bezugszeichenliste entnommen werden.

- 10 Im Rahmen der vorliegenden Erfindung ist eine Modifikation des TAP-Controllers 106 und der BSCAN-Zelle 103, welche das WRITE\_ENABLE-Signal 301d des Flash-Speichers 104 stimuliert, vorgesehen, wodurch die Flash-Programmierung wesentlich be-
- 15 Schnittstelle zwischen TAP-Controller 106 und BSCAN-Register 102 auf Board- und Equipment-Ebene nötig wird. Die Implementierung geschieht stattdessen im BSCAN-Register 102. Dazu gibt es zwei Möglichkeiten, die im Folgendem näher beschrieben werden sollen.

20

(a) Generierung des WRITE-Impulses über zwei Instruktionen

Damit nicht bei jeder Schreiboperation das komplette BSCAN-Register 102 erneut geladen werden muss, um die BSCAN-Zelle

25 103, die das WRITE\_ENABLE-Signal 301d des Flash-Speichers 104 stimuliert, auf das gewünschte Potenzial zu bringen, wird die betreffende BSCAN-Zelle 103 über zwei spezielle JTAG-Instruktionen 306 und 308 gesteuert. Die Instruktion „WR\_L“ sorgt für ein „LOW“-Potenzial, die Instruktion „WR\_H“ für ein



„HIGH“-Potenzial an der betreffenden BSCAN-Zelle 103. Eine erweiterte Prinzipskizze der Schaltungsanordnung zur Durchführung eines BSCAN-Verfahrens nach diesem Ausführungsbeispiel der vorliegenden Erfindung ist in Fig. 2 dargestellt.

5

Im TAP-Contoller 106 wird aus diesen beiden Instruktionen 306 bzw. 308 jeweils ein SET\_WR- bzw. CLEAR\_WR-Impuls generiert, der das Update-Flipflop 108 der für die Erzeugung des WRITE\_ENABLE-Signals 301d zuständigen BSCAN-Zelle 103 entweder  
 10 setzt oder rücksetzt. Beide Instruktionen sind jeweils mit bspw. 4 oder 8 Bit kodiert, so dass gegenüber herkömmlichen Lösungen nach dem Stand der Technik, bei denen zur Auslösung einer Schreiboperation jeweils das komplette BSCAN-Register 102 neu geladen werden muss, ein deutlicher Geschwindigkeits-  
 15 vorteil besteht. Das BSCAN-Register 102 umfasst auch bei verkürzter Länge noch etwa 60 Bit.

In Fig. 4 ist eine erste Variante für die Instruktionssequenz 400 einer FLASH WRITE-Operation zur Programmierung eines programmierbaren Flash-EPROMs über ein BSCAN-Register mit Zeiteinsparung durch Zugriff über zwei spezielle Instruktionen dargestellt. Nachdem die Adressen, Daten und das Chip-Select (CS) ausgegeben wurden (ca. 60 Bit) sind nur drei weitere Instruktionen - „WR\_L“, „WR\_H“ und „SHORTEX“ - mit jeweils 4  
 20 Bit erforderlich. Wenn man die für die Zustandsübergänge des WRITE-ENABLE-Signals 301d verantwortlichen Takte außer Acht lässt, ergibt sich ein Verhältnis von

$$\frac{T_{P, ges}^{Erf., AB1}}{T_{P, ges}^{SdT}} = \frac{L_{I, ges}^{Erf., AB1}}{L_{I, ges}^{SdT}} = \frac{1 \cdot 60 \text{ Bit} + 3 \cdot 4 \text{ Bit}}{3 \cdot 60 \text{ Bit}} = 40 \%,$$

30

wobei

- $L_{I, ges}^{SdT}$  [Bit] die Gesamtlänge der Instruktionssequenz bei Anwendung herkömmlicher BSCAN-Verfahren nach dem Stand der Technik bezeichnet,
- 5  $L_{I, ges}^{Erf., AB1}$  [Bit] die Gesamtlänge der Instruktionssequenz bei Anwendung des in Abschnitt (a) beschriebenen ersten Ausführungsbeispiels der Erfindung,
- $T_{P, ges}^{SdT}$  [ns] die Gesamtdauer eines FLASH WRITE-Zyklus bei Anwendung herkömmlicher BSCAN-Verfahren nach dem Stand der Technik und
- 10  $T_{P, ges}^{Erf., AB1}$  [ns] die Gesamtdauer eines FLASH WRITE-Zyklus bei Anwendung des in Abschnitt (a) beschriebenen ersten Ausführungsbeispiels der Erfindung.

15 Das bedeutet, dass bei diesem ersten Ausführungsbeispiel des erfindungsgemäßen Verfahrens gegenüber dem in Fig. 3 dargestellten Programmierverfahren nach dem Stand der Technik eine Verkürzung der Programmierzeit um 60 % erzielbar ist.

20 Ein weiterer Vorteil, der sich aus dieser Lösung ergibt, besteht darin, dass die „HIGH“- bzw. „LOW“-Pegelwerte des WRITE\_ENABLE-Signals 301d in einer beliebigen zeitlichen Abfolge generiert werden können, wobei diese Reihenfolge durch die Instruktionen 306 und 308 steuerbar ist.

## 25 (b) Automatische Generierung des WRITE-Impulses

Damit nicht immer das komplette BSCAN-Register 102 erneut geladen werden muss, um die BSCAN-Zelle 103, welche das WRITE\_ENABLE-Signal 301d des Flash-Speichers 104 stimuliert, auf

30 das gewünschte Potenzial zu bringen, wird die betreffende BSCAN-Zelle 103 während dem Anlegen der Adressen, Daten und des Chip Select (CS)-Signals am BSCAN-Register 102 durch den

TAP-Controller 106 automatisch so angesteuert, dass ein WRITE-Impuls zu einem geeigneten Zeitpunkt generiert wird.

In Fig. 5 ist eine zweite Variante für die Instruktionssequenz 500 einer FLASH WRITE-Operation zur Programmierung eines programmierbaren Flash-EPROMs 104 über ein BSCAN-Register 102 mit Zeiteinsparung durch Zugriff über ein festes Timing des TAP-Controllers 106 dargestellt.

10 Dieses Timing des TAP-Controllers kann ggf. über weitere Register programmierbar sein, die über weitere Instruktionen geladen werden können.

Der TAP-Controller 106 generiert automatisch jeweils einen SET\_WR- bzw. CLEAR\_WR-Impuls, der das Update-Flipflop 108 der BSCAN-Zelle 103 entweder setzt oder rücksetzt. Da das automatische Generieren nicht bei jeder BSCAN-Instruktion EXTEST oder SHORTEX erfolgen darf, ist entweder ein eigener Befehl (EXFLASH) einzuführen, oder man gibt vor der EXTEST-Instruktion mit einer zusätzlichen Instruktion („WR\_ON“) dem TAP-Controller 106 bekannt, dass ein WRITE-Impuls automatisch zu generieren ist. Diese Funktion kann erfindungsgemäß mit Hilfe einer weiteren Instruktion („WR\_OFF“) rückgesetzt werden.

25 Die Dauer des WRITE-Impulses kann auch mittels eines zusätzlich über die TAP-Schnittstelle programmierbaren Datenregisters eingestellt werden. Fig. 5 zeigt den zeitlichen Ablauf. Dabei wird deutlich, dass nur eine JTAG-Instruktion (EXFLASH) erforderlich ist. Wenn man die für die Zustandsübergänge des WRITE-ENABLE-Signals 301d verantwortlichen Takte außer Acht lässt, ergibt sich ein Verhältnis von

$$\frac{T_{P,ges}^{Erf.,AB2}}{T_{P,ges}^{SdT}} = \frac{L_{I,ges}^{Erf.,AB2}}{L_{I,ges}^{SdT}} = \frac{1.60 \text{ Bit}}{3.60 \text{ Bit}} \approx 33,3 \%,$$

wobei

- 5  $L_{I,ges}^{SdT}$  [Bit] die Gesamtlänge der Instruktionssequenz bei Anwendung herkömmlicher BSCAN-Verfahren nach dem Stand der Technik bezeichnet,
- 10  $L_{I,ges}^{Erf.,AB2}$  [Bit] die Gesamtlänge der Instruktionssequenz bei Anwendung des in Abschnitt (b) beschriebenen zweiten Ausführungsbeispiels der Erfindung,
- $T_{P,ges}^{SdT}$  [ns] die Gesamtdauer eines FLASH WRITE-Zyklus bei Anwendung herkömmlicher BSCAN-Verfahren nach dem Stand der Technik und
- 15  $T_{P,ges}^{Erf.,AB2}$  [ns] die Gesamtdauer eines FLASH WRITE-Zyklus bei Anwendung des in Abschnitt (b) beschriebenen zweiten Ausführungsbeispiels der Erfindung.

20 Das bedeutet, dass bei diesem zweiten Ausführungsbeispiel des erfindungsgemäßen Verfahrens gegenüber dem in Fig. 3 dargestellten Programmierverfahren nach dem Stand der Technik eine Verkürzung der Programmierzeit um etwa 66,7 % erzielbar ist, da nur das Laden (SHIFT-DR) eines kombinierten Adress- und Datenblocks der Größe von 60 Bit zum erforderlich ist.

## Patentansprüche

1. Verfahren zur Programmierung eines Speicherbausteins (104)  
5 durch Stimulierung einzelner Eingänge (CS, OE, WR, ADDR, DATA) des Speicherbausteins (104) über mindestens eine Speicherzelle (103) eines Boundary Scan (BSCAN)-Registers (102), gekennzeichnet durch  
die ausschließliche Ansteuerung des für die Aktivierung bzw.  
10 Deaktivierung einer Schreiboperation zuständigen Steuersignaleingangs (WR) des Speicherbausteins (104), wobei das Umschalten eines WRITE\_ENABLE-Signals (301d) von „LOW“- auf „HIGH“-Potenzial bzw. von „HIGH“- auf „LOW“-Potenzial in Abhängigkeit von einer Instruktionssequenz (301a) erfolgt, welche an Eingängen eines Update-Flipflops (108) der für die Ge-  
15 nerierung des WRITE\_ENABLE-Signals zuständigen Speicherzelle (103) für die Erzeugung eines „LOW“- bzw. eines „HIGH“-Pegels sorgt.
- 20 2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die „LOW“- bzw. „HIGH“-Pegel an den Eingängen des Update-Flipflops (108) der betreffenden Speicherzelle (103) des BSCAN-Registers (102) in einer beliebigen zeitlichen Abfolge  
25 generiert werden können.
3. Verfahren nach einem der Ansprüche 1 und 2, dadurch gekennzeichnet, dass  
die zeitliche Abfolge der „LOW“- bzw. „HIGH“-Pegel am Setz-  
30 signal- bzw. Rücksetzsignaleingang des Update-Flipflops (108) der betreffenden Speicherzelle (103) des BSCAN-Registers (102) durch die Instruktionssequenz (301a) steuerbar ist.

4. Verfahren nach einem der Ansprüche 1 bis 3,  
dadurch gekennzeichnet, dass  
die Signale für das Update-Flipflop (108) der betreffenden  
Speicherzelle (103) von einer Steuereinheit (106) in Abhän-  
5 gigkeit von der Instruktionssequenz (301a) generiert werden.

5. Verfahren zur Programmierung eines Speicherbausteins (104)  
durch Stimulierung einzelner Eingänge (CS, OE, WR, ADDR,  
DATA) des Speicherbausteins (104) über mindestens eine Spei-  
10 cherzelle (103) eines BSCAN-Registers (102) zur Generierung  
eines WRITE\_ENABLE-Signals (301d) zwecks Aktivierung bzw. De-  
aktivierung einer Schreiboperation,  
gekennzeichnet durch  
das automatische Umschalten des WRITE\_ENABLE-Signals. (301d)  
15 von „LOW“- auf „HIGH“-Potenzial bzw. von „HIGH“- auf „LOW“-  
Potenzial von einer Steuereinheit (106) zu einem geeigneten  
Zeitpunkt, indem ein Update-Flipflop (108) der für die Erzeu-  
gung des WRITE\_ENABLE-Signals zuständigen Speicherzelle (103)  
gesetzt bzw. rückgesetzt wird.

20

6. Verfahren nach Anspruch 5,  
dadurch gekennzeichnet, dass  
die automatische Generierung eines Setzsignals (SET-WR) zur  
Aktivierung der Schreiboperation durch die Steuereinheit  
25 (106) durch einen Programmierbefehl (EXFLASH) aktiviert wer-  
den kann.

7. Verfahren nach Anspruch 6,  
dadurch gekennzeichnet, dass  
30 die automatische Generierung des Setzsignals (SET-WR) bei  
Vorliegen bestimmter Instruktionen (EXTEST bzw. SHORTEX) ver-  
hindert werden kann.

8. Verfahren nach Anspruch 5,

gekennzeichnet durch

eine weitere Instruktion (WR\_ON), mit der der Steuereinheit (106) bekannt gegeben wird, dass ein Setzsignal (SET-WR) zur

5 Aktivierung der Schreiboperation automatisch zu generieren ist.

9. Verfahren nach einem der Ansprüche 5 und 8,

gekennzeichnet durch

10 eine weitere Instruktion (WR\_OFF), mit der der Steuereinheit

(106) bekannt gegeben wird, dass ein Rücksetzsignal (CLEAR\_WR) zur Deaktivierung der Schreiboperation automatisch zu generieren ist.

15 10. Verfahren nach Anspruch 5,

dadurch gekennzeichnet,

dass der geeignete Zeitpunkt zum automatischen Umschalten des WRITE\_ENABLE-Signals (301d) mittels geeigneter Instruktionen programmiert ist.

20

11. Steuereinheit zur Ansteuerung von einzelnen Speicherzellen (103) eines BSCAN-Registers (102) über eine Programmierschnittstelle, welche beim Programmieren eines Speicherbausteins (104) zur Stimulierung einzelner Eingänge (CS, OE, WR, ADDR, DATA) des Speicherbausteins (104) über mindestens eine Speicherzelle (103) zwecks Auslösung bzw. Beendigung einer Schreiboperation dient,

25

dadurch gekennzeichnet, dass

sie zur Durchführung eines Verfahrens nach einem der Ansprüche

30 che 1 bis 10 ausgelegt ist.

12. Speicherzelle eines BSCAN-Registers (102), welche beim Programmieren eines Speicherbausteins (104) zur Stimulierung

15

einzelner Eingänge (CS, OE, WR, ADDR, DATA) des Speicherbausteins (104) zwecks Auslösung bzw. Beendigung einer Schreiboperation dient,

dadurch gekennzeichnet, dass

- 5 sie zur Durchführung eines Verfahrens nach einem der Ansprüche 1 bis 10 ausgelegt ist.

13. BSCAN-Register, bestehend aus mehreren Speicherzellen (103) zur Ansteuerung eines programmierbaren Speicherbausteins (104), welches zur Stimulierung einzelner Eingänge

- 10 (CS, OE, WR, ADDR, DATA) des Speicherbausteins (104) zwecks Auslösung bzw. Beendigung einer Schreiboperation dient, dadurch gekennzeichnet, dass

es zur Durchführung eines Verfahrens nach einem der Ansprüche

- 15 1 bis 10 ausgelegt ist.



## Zusammenfassung

Beschleunigung der Programmierung eines Speicherbausteins mit Hilfe eines Boundary Scan (BSCAN)-Registers

5

Zur Programmierung eines Speicherbausteins (104) werden einzelne seiner Eingänge (CS, OE, WR, ADDR, DATA) über interne Speicherzellen (103) eines sogenannten Boundary Scan (BSCAN)-Registers (102) stimuliert, welches als IC bzw. ASIC realisiert ist. Zur Aktivierung bzw. Deaktivierung einer Schreiboperation wird dabei ausschließlich der für die Generierung eines WRITE\_ENABLE-Signals (301d) zuständige Steuersignaleingang (WR) des Speicherbausteins (104) angesteuert. Das Umschalten des WRITE\_ENABLE-Signals (301d) von „LOW“- auf „HIGH“-Potenzial und umgekehrt erfolgt dabei in Abhängigkeit von zwei JTAG-Instruktionen (WR\_L, WR\_H) einer Instruktionssequenz (301a), welche am Setzsignal- bzw. Rücksetzsignaleingang eines Update-Flipflops (108) der für die Generierung des WRITE\_ENABLE-Signals zuständigen Speicherzelle (103) für die Erzeugung eines „LOW“- bzw. eines „HIGH“-Pegels sorgt. Durch eine geeignete Modifikation der Steuereinheit (106) und der BSCAN-Zelle (103), die das WRITE\_ENABLE-Signal (301d) am WR-Eingang des Speicherbausteins (104) stimuliert, kann die Programmierung beschleunigt werden, ohne die Schnittstelle zwischen Steuereinheit (106) und BSCAN-Register (102) auf Board- und Equipment-Ebene erweitern zu müssen.

In einem weiteren Ausführungsbeispiel der vorliegenden Erfindung wird von einer Steuereinheit (106) das Umschalten des WRITE\_ENABLE-Signals (301d) von „LOW“- auf „HIGH“-Potenzial bzw. von „HIGH“- auf „LOW“-Potenzial zu einem geeigneten, ggf. programmierbaren Zeitpunkt automatisch vorgenommen, indem das Update-Flipflop (108) der für die Erzeugung des

WRITE\_ENABLE-Signals zuständigen Speicherzelle (103) gesetzt bzw. rückgesetzt wird.

Figur 1

100

200

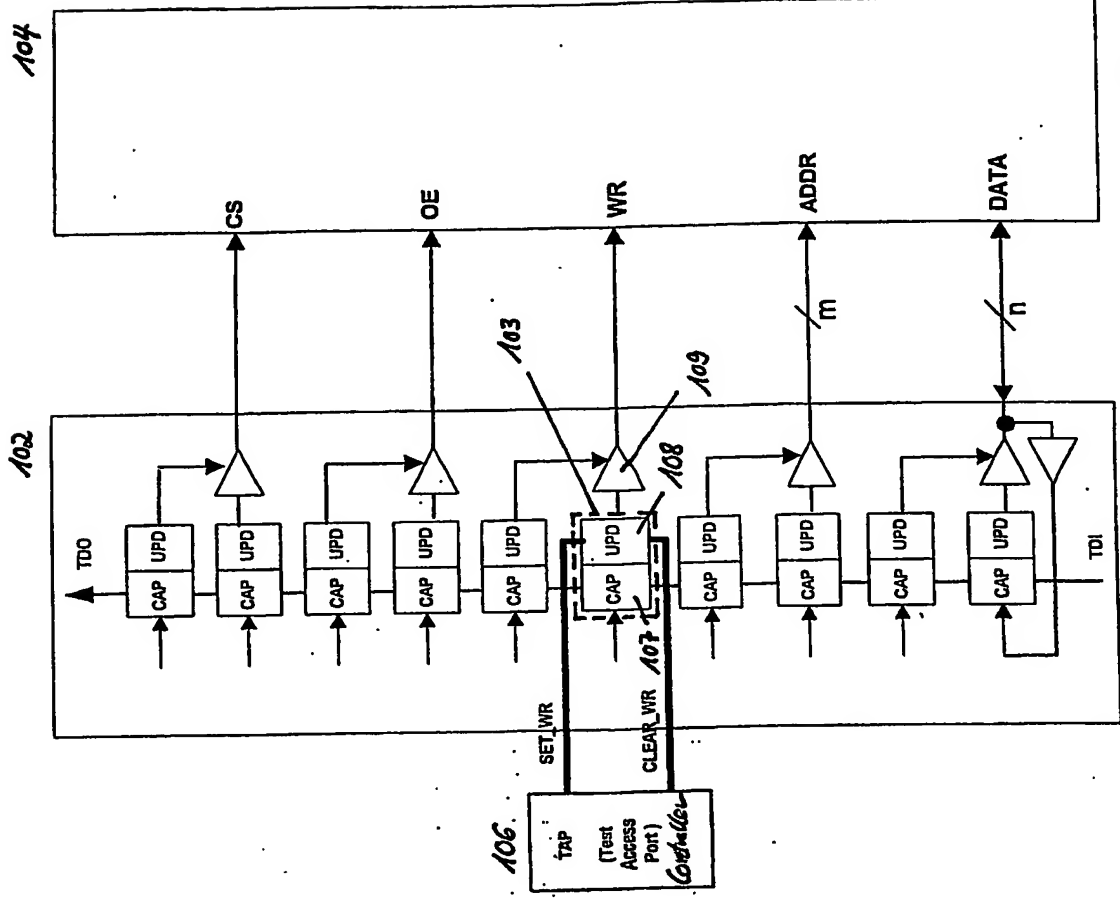


Fig. 2

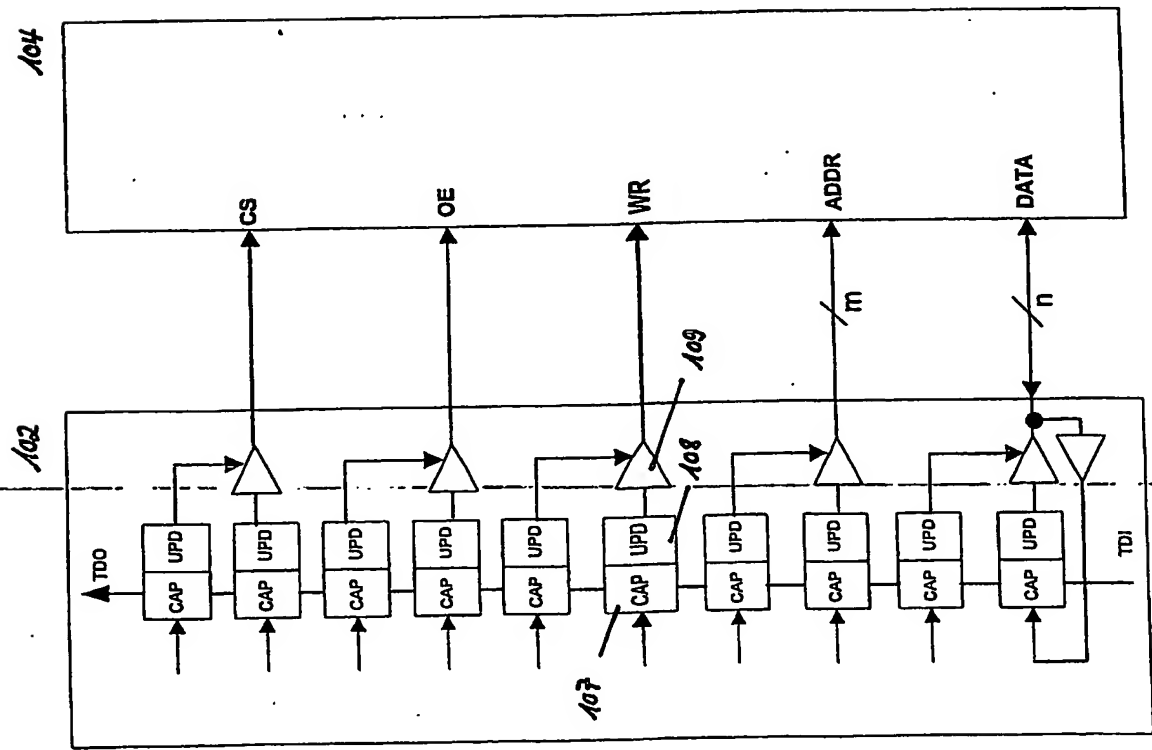


Fig. 1

Fig. 3

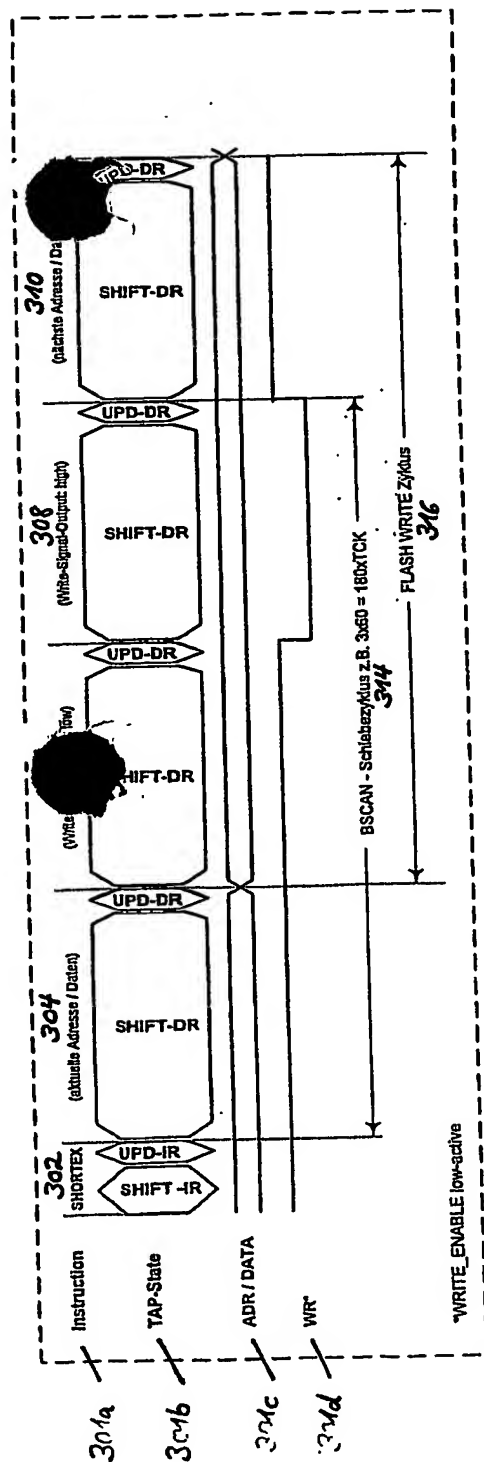


Fig. 4

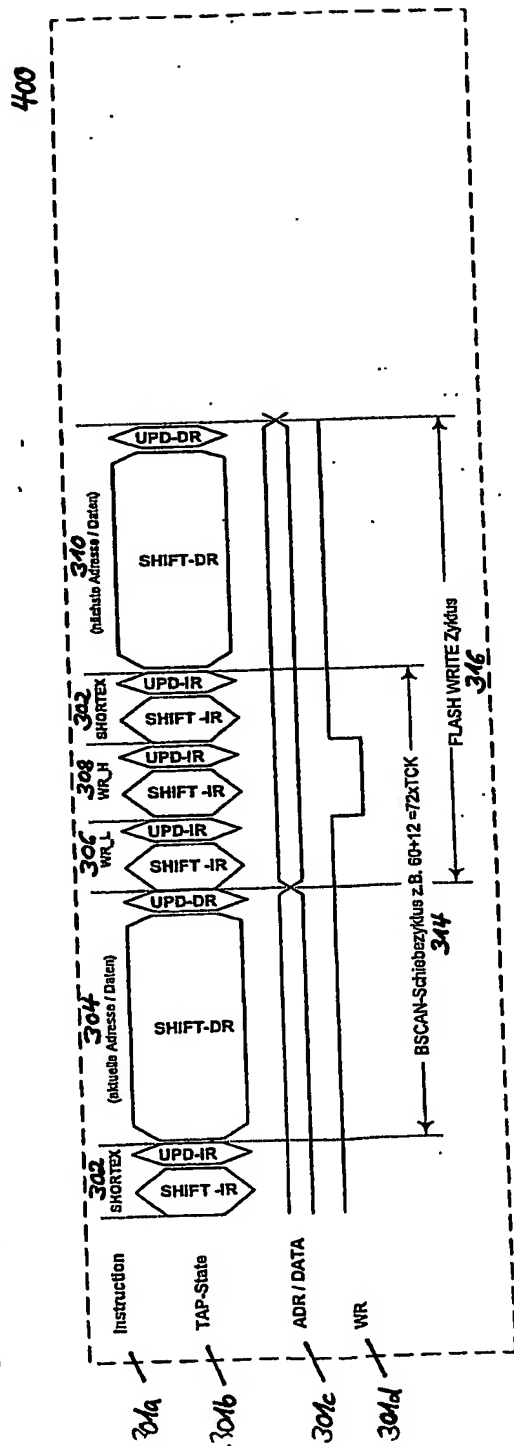
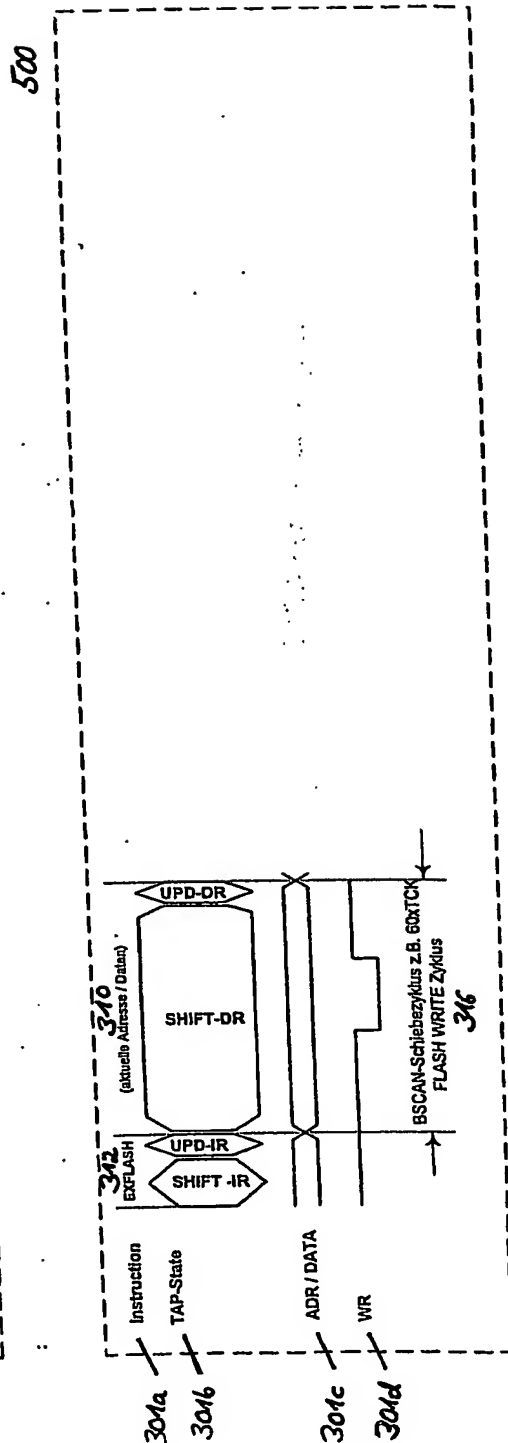


Fig. 5



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**